

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-134586

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

G11C 16/02

G06F 12/14

G06F 12/16

(21)Application number : 08-281147

(71)Applicant : SHARP CORP

(22)Date of filing : 23.10.1996

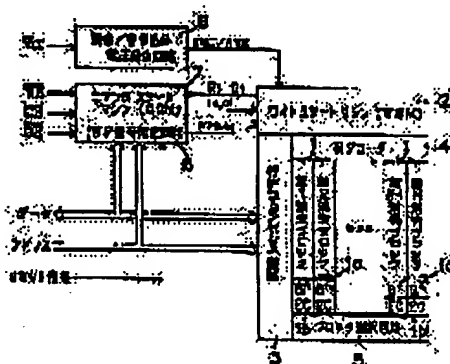
(72)Inventor : FUKUMOTO KATSUMI

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable an erasing operation again without adding a means which switches a writing protection signals, etc., by a method wherein erasing completion data storing region is provided to detect the abnormal finish of the erasing operation.

SOLUTION: A command state machine 7 judges a command in accordance with data and addresses which are inputted with one or more times of bus cycles and, for instance, makes a write state machine 2 implement an erasing operation. When the write state machine 2 erases a block 1, data in the EC data (erasing completion data) storing region 1b are also erased and, after the erasing operation is completed, the EC data are written. If the erasing operation is abnormally finished by a power supply cut-off, the device reset, etc., during the erasing operation, the EC data are not written. At the time of erasing or writing of any one block 1, if it is detected that the EC data are not written in that block 1, the erasing operation of the block 1 is implemented again.



LEGAL STATUS

[Date of request for examination] 21.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3489708

[Date of registration] 07.11.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134586

(43) 公開日 平成10年(1998) 5月22日

| (51) Int. Cl. ⁶ | 識別記号 | F I | |
|----------------------------|-------|---------------|---------|
| G 1 1 C 16/02 | | G 1 1 C 17/00 | 6 0 1 P |
| G 0 6 F 12/14 | 8 1 0 | G 0 6 F 12/14 | 3 1 0 F |
| 12/16 | 8 1 0 | 12/16 | 3 1 0 A |

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願平8-281147

(22) 出願日 平成8年(1996)10月23日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 福本 克巳

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

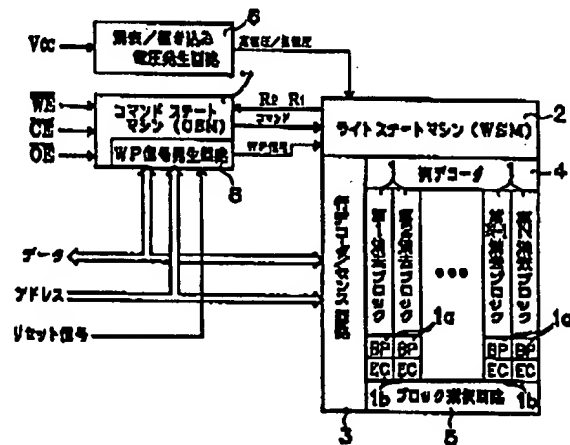
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 消去動作の異常終了を容易に検出できるようにし、異常終了があった場合に、WP信号を切り替えなくても、直ちに再度消去動作が実行できるようになるフラッシュメモリなどを提供する。

【解決手段】 メモリセルアレイを分割した各ブロック1とにECデータ記憶領域1bを設け、消去動作の終了時にそのブロック1のECデータ記憶領域1bにECデータを書き込む。このECデータ記憶領域1bにECデータが記憶されていないブロック1については、データの保護状態にかかわらず、再消去を可能にする。



【特許請求の範囲】

【請求項1】 データを不揮発性記憶するメモリセルアレイのブロックを複数備え、該各ブロックごとにデータの消去が可能になると共に、該消去を行った後のブロックにのみデータの書き込みが可能となる不揮発性半導体記憶装置であって、

各ブロックごとにデータを不揮発性記憶するブロックプロテクトデータ記憶領域を備え、

ライトプロテクト信号がアクティブであり、かつ、該ブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されている場合に、当該ブロックのデータの消去と書き込みを禁止するブロックプロテクト手段を備えたものにおいて、

各ブロックごとにデータを不揮発性記憶する消去終了データ記憶領域を備え、

消去動作の終了時に当該ブロックの消去終了データ記憶領域に消去終了データを書き込む消去終了データ設定手段と、

該消去終了データ記憶領域に消去終了データが記憶されていない場合に、該ブロックプロテクト手段の機能にかかわらず、当該ブロックのデータの消去を可能にする再消去許可手段とを備えた不揮発性半導体記憶装置。

【請求項2】 前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記ブロックプロテクト手段の機能にかかわらず、当該ブロックへのデータの書き込みも禁止するものである請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記ブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みも禁止するものである請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】 前記ブロックプロテクトデータと前記消去終了データがそれぞれ2ビット以上のデータからなり、かつ、データの書き込み動作の先側のビットが消去状態であり後側のビットがこれの反転状態となるデータの並びを有するものであり、

前記各ブロックプロテクトデータ記憶領域と前記各消去終了データ記憶領域がそれぞれ該2ビット以上のブロックプロテクトデータと消去終了データを不揮発性記憶するものである請求項1ないし3のいずれか記載の不揮発性半導体記憶装置。

【請求項5】 前記ブロックプロテクトデータ記憶領域に記憶されたデータと、前記消去終了データ記憶領域に記憶されたデータとを外部に読み出すブロックステータスデータ読出手段を備えた請求項1ないし4のいずれか記載の不揮発性半導体記憶装置。

【請求項6】 各ブロックごとにデータを不揮発性記憶する無条件ブロックプロテクトデータ記憶領域を備え、

該無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータが記憶されている場合に、前記ライトプロテクト信号にかかわらず、当該ブロックのデータの消去と書き込みを禁止する無条件ブロックプロテクト手段を備えた請求項1ないし5のいずれか記載の不揮発性半導体記憶装置。

【請求項7】 前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータの書き込みも禁止するものである請求項6記載の不揮発性半導体記憶装置。

【請求項8】 前記無条件ブロックプロテクトデータが2ビット以上のデータからなり、かつ、データの書き込み動作の先側のビットが消去状態であり後側のビットがこれの反転状態となるデータの並びを有するものであり、

前記各無条件ブロックプロテクトデータ記憶領域が該2ビット以上の無条件ブロックプロテクトデータを不揮発性記憶するものである請求項6または7記載の不揮発性半導体記憶装置。

【請求項9】 前記無条件ブロックプロテクトデータ記憶領域に記憶されたデータを外部に読み出す無条件ブロックプロテクトデータ読出手段を備えた請求項6ないし8のいずれか記載の不揮発性半導体記憶装置。

【請求項10】 データを不揮発性記憶するメモリセルアレイのブロックを複数備え、該各ブロックのデータを直接書き替えることが可能となる不揮発性半導体記憶装置であって、

各ブロックごとにデータを不揮発性記憶するブロックプロテクトデータ記憶領域を備え、

ライトプロテクト信号がアクティブであり、かつ、該ブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されている場合に、当該ブロックのデータの書き換えを禁止するブロックプロテクト手段を備えたものにおいて、

各ブロックごとにデータを不揮発性記憶する書替無効データ記憶領域を備え、

データの書き換え動作が正常に終了しなかった場合に、当該ブロックの書替無効データ記憶領域に書替無効データを書き込む書替無効データ設定手段と、

該書替無効データ記憶領域に書替無効データが記憶されている場合に、該ブロックプロテクト手段の機能にかかわらず、当該ブロックのデータの書き換えを禁止するデータ書替禁止手段とを備えた不揮発性半導体記憶装置。

【請求項11】 前記データ書替禁止手段が、前記書替無効データ記憶領域に書替無効データが記憶されている場合に、前記ブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みを行うことも禁止するものである請求項10記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】ユーザ側でデータの書き換えが可能な不揮発性半導体記憶装置としては、EPROM (Erasable Programmable Read-Only Memory) やEEPROM (Electrically EPROM) が従来から一般的であった。EPROMは、プログラマ(ライター)と称される書き込み装置を用いてデータの書き込みを行い、紫外線の照射により全メモリセルのデータを一括して消去する。また、このEPROMは、メモリセル面積の小さい1トランジスタ/1セル構造が可能であるため、大容量の集積化が容易でビット単価が安いという利点を有する。しかし、消去の際に紫外線を照射するために高価な石英ガラス付きのセラミックパッケージを用いる必要があるため、チップ単価の低減化に限度があるだけでなく、データの書き込みには専用の書き込み装置を用いるので、チップの脱着が可能なソケットを介してシステムに装着しなければならず、この書き込みの際のチップの脱着の手間が面倒であり実装コストも高くなるという欠点があった。

【0003】これに対してEEPROMは、システムに装着したままで電気的にデータの書き込みと消去を行うことができるという利点を有する。しかし、このEEPROMは、ビット単位などでデータの書き込みや消去を可能にするために、各メモリセルに選択トランジスタが必要となるため、このメモリセル面積がEPROMの1.5~2倍程度の大きくなり、ビット単価が高くなって大容量化に適さないという欠点があった。

【0004】そこで、上記EPROMとEEPROMの利点を兼ね備えた不揮発性半導体記憶装置として、フラッシュメモリが開発された。このフラッシュメモリのメモリセルは、例えば米国特許5249158号や米国特許5245570号などにおいて開示されているように、図8に示すようなMOS (Metal Oxide Semiconductor) ・FET (Field Effect Transistor) の制御ゲートCGの下層に設けたゲート酸化膜中に浮遊ゲート (floating gate) FGを絶縁して配置した浮遊ゲート型FET構造のセルトランジスタからなり、EPROMやEEPROMのセルトランジスタと類似の構造をなす。しかし、フラッシュメモリは、このセルトランジスタをチップ単位やブロック単位で一括して消去することにより、メモリセルの選択トランジスタを省略して1トランジスタ/1セル構造を可能にしたものであるため、EPROMと同程度の安いビット単価を得て大容量化に適したものとなる。しかも、EEPROMと同様に電気的なデータの書き込みと消去が可能であるため、安価なプラスチックパッケージが利用でき、チップの脱着の手間もなくなることができる。なお、このフラッシュメモリは、セルトランジスタがビット線に1個ずつ接続されるNO

R型と、直列接続された複数個のセルトランジスタが一括してビット線に接続されるNAND型とが一般的である。NAND型は、ランダムアクセス時の読み出しスピードが遅くなるが、ビット線とセルトランジスタとの接触面積を減少させることによりメモリセル面積をさらに縮小することができるという利点を有する。また、フラッシュメモリは、この他にもAND型やDINOR型などが提案されている。ただし、これらのAND型やDINOR型のフラッシュメモリは、消去と書き込み時の浮遊ゲートFGへの電子の注入と引き抜き動作がNOR型やNAND型とは逆になるので、以降ではNOR型やNAND型の例でのみ説明する。

【0005】上記フラッシュメモリのセルトランジスタは、浮遊ゲートFGに電子が蓄積されているかどうかをデータの“0”と“1”に対応させて記憶する。即ち、このフラッシュメモリのセルトランジスタからデータを読み出す際には、ソースSを接地(0V)してドレインDに1V程度の低電圧を印加すると共に、制御ゲートCGに電源電圧V_{CC}(通常は約5V)を印加する。すると、浮遊ゲートFGに電子が蓄積されていない場合には、セルトランジスタのしきい値電圧が低いので、ドレインDとソースSの間が導通してドレイン電流(チャンネル電流)が流れるが、浮遊ゲートFGに電子が蓄積されている場合には、セルトランジスタのしきい値電圧が高くなるので、ドレインDとソースSの間が遮断されたままとなりほとんどドレイン電流が流れない。したがって、このドレイン電流の大小を検出することにより、セルトランジスタに記憶されたデータを読み出すことができる。なお、この読み出しの際にドレインDに印加する電圧を1V程度の低電圧とするのは、高い電圧の印加により寄生的な弱い書き込み(ソフトライト)が発生するのを防止するためである。また、以降の説明では、浮遊ゲートFGに電子が蓄積されしきい値電圧が高い場合をデータの“0”とし、浮遊ゲートFGに電子が蓄積されずしきい値電圧が低い場合をデータの“1”とする。

【0006】このフラッシュメモリのセルトランジスタのデータを消去する場合には、ソースSに12V程度の高電圧を印加すると共に制御ゲートCGを接地する。すると、浮遊ゲートFGとソースSの間に高電界が発生し、この浮遊ゲートFGに蓄積された電子が薄いゲート酸化膜を介してトンネル電流により引き抜かれる。このため、セルトランジスタのしきい値電圧が低下して、データの“1”が記憶された状態に初期化され、これによってデータが消去される。このデータの消去は、上記のようにチップ単位やブロック単位で一括して行われる。

【0007】なお、このような消去方法では、ソースSに高電圧を印加するために、ソース接合の耐電圧を高める必要があるため、ソース電極側を微細化し難くすると共に、ソース接合近傍に発生したホットホールの一部がゲート酸化膜中にトラップされてセルトランジスタの信

信頼性が低下するという欠点が生じる。そこで、ソースSに電源電圧V_{CC}（通常は約5V）を印加すると共に制御ゲートCGに-10V程度の負電圧を印加し、浮遊ゲートFGに蓄積された電子をトンネル電流により引き抜くことにより消去を行う方法（負ゲート消去法）もある。この負ゲート消去法によれば、ソースSに印加される電圧が低下するので、ソース接合の耐電圧を低くすることができ、セルトランジスタのゲート長を短縮することができるという利点がある。また、ソースSに高電圧を印加する上記消去方法では、消去時に流れるバンド間トンネル電流がチップ全体で数mAに達するので、通常の電流供給能力の小さい昇圧回路ではこの高電圧を供給することができず、消去用の高電圧V_{pp}を外部の電源から供給する必要があった。しかし、負ゲート消去法を用いた場合には、ソースSには電源電圧V_{CC}を印加すればよいので、フラッシュメモリにこの電源電圧V_{CC}のみを供給する単一電源化を比較的容易に可能にすることができる。

【0008】このフラッシュメモリのセルトランジスタにデータを書き込む場合には、制御ゲートCGに12V程度の高電圧を印加すると共にソースSを接地（0V）し、ドレインDに7V程度の電圧を印加する。すると、ドレインDとソースSの間に大きな電流が流れるので、このドレイン接合近傍に発生した高エネルギーのホットエレクトロンが浮遊ゲートFG内に注入されて電子が蓄積され、データの“0”が記憶される。即ち、このデータを書き込み動作では、セルトランジスタの初期化されたデータの“1”を“0”に書き替えるだけであり、データの“0”を“1”に書き替えることはできない。したがって、フラッシュメモリにおいてセルトランジスタのデータを書き替える場合には、まず消去動作を実行してそのチップ内やブロック内の全てのセルトランジスタを一旦初期化した後に、“0”のデータを記憶させるセルトランジスタのみを選択してこの書き込み動作を行う必要がある。

【0009】なお、このようにホットエレクトロンを用いて浮遊ゲートFGに電子を注入する方式では、書き込み時に各セルトランジスタに1mA程度の大きな電流を供給する必要が生じる。そこで、通常のEEPROMと同様に、F_Nトンネル電流を利用して電子の注入を行うことにより、書き込み時に必要となる電流を低減させるようにしたフラッシュメモリも開発されている。

【0010】また、上記フラッシュメモリのセルトランジスタは、書き込みをドレイン接合側で行い、消去をソース接合側で行うので、素子設計上のこれらの接合プロファイルそれぞれの動作に応じて最適化することが望ましい。即ち、ドレイン接合は、書き込み効率を高めるために電界集中型プロファイルを用いると共に、ソース接合は、消去の際の高電圧を印加可能にするために電界緩和型プロファイルを用いて、ドレイン接合側とソース

接合側が非対称構造となるようにする。

【0011】さらに、近年の電池駆動による携帯型の電子機器の普及や半導体製造プロセスの微細化に伴い、半導体装置の動作電源の低電圧化が要望されているので、最近では電源電圧V_{CC}を5Vから3.3Vに低下させた半導体装置の開発が活発になっている。そして、上記フラッシュメモリにおいても、この3.3Vの電源電圧V_{CC}により動作するデバイスが開発されている。ただし、このような3.3Vの電源電圧V_{CC}を用いるフラッシュメモリであっても、現状では、読み出し時にセルトランジスタの制御ゲートCGに印加する電圧は、動作の高速化と動作マージンを十分に拡大するために、チップ内部に設けたワード線昇圧回路によって電源電圧V_{CC}を5V程度に昇圧して印加するようにしている。

【0012】上記フラッシュメモリは、RAM（Random Access Memory）などとは異なり、データの書き込みや読み出しの他に、ブロック消去やチップ一括消去およびステータスレジスタの読み出しなどの多数の動作状態を備えている。したがって、これらの各動作状態を外部から送られて来るチップイネーブル信号CEバーやライトイネーブル信号WEバーや出力イネーブル信号OEバーなどの制御信号の組み合わせで指定しようとする、従来のEPROMやEEPROMの制御信号以外にさらに新たな制御信号を定め、それぞれの制御信号ごとに入力端子を設けなければならないために使い勝手の悪いデバイスとなる。そこで、実際に実用化されているフラッシュメモリは、制御信号の組み合わせではなく、データやアドレスの組み合わせをコマンドとして入力し、これにより各動作状態を指定するコマンド方式が主流になっている。このようなフラッシュメモリでは、外部から入力されたコマンドの種類をコマンドステートマシン（CSM）が判定し、このコマンドに応じてライトステートマシン（WSM）がそれぞれの動作を実行することになる。

【0013】また、上記消去動作をブロック単位で行うフラッシュメモリは、このブロック（消去ブロック）の大きさが不均等なものと、このブロックの大きさが均等な均等ブロック型のものがある（米国特許5245570号）。そして、このような複数のブロックを備えたフラッシュメモリには、各ブロック内のデータを保護するために、それぞれのブロックごとにBP（Block Protect）データを記憶するためのBPデータ記憶領域を設ける場合がある。この場合、BPデータ記憶領域にBPデータが記憶されているときには、原則としてそのブロック内のデータの消去と書き込みが禁止される。また、このようなフラッシュメモリは、外部からWP（Write Protect）バー信号を入力するためのWPバー入力端子を設けている。WPバー信号は、これがアクティブ（Lレベル）の場合に各ブロックのBPデータ記憶領域に記憶されたBPデータを有効にし、非アクティブ（Hレベ

ル)の場合にはこのBPデータを無効にするための制御信号である。したがって、WPバー入力端子に入力されるWPバー信号がアクティブ(Lレベル)になっている場合にのみ、BPデータ記憶領域にBPデータが記憶されたブロックへの消去動作と書き込み動作が禁止され、その他の場合には全て消去/書き込み動作が実行可能となる。

【0014】なお、このようなWPバー入力端子を設ける代わりに、WP設定コマンドとWP解除コマンドを設ける場合もある。即ち、上記コマンド方式によりWP設定コマンドを入力すると、デバイス内部のWP信号をアクティブ(Hレベル)にし、WP解除コマンドを入力すると、このWP信号を非アクティブ(Lレベル)にすることによりBPデータの有効/無効を制御する。そして、このようなコマンド方式を用いると、WPバー入力端子が不要となり、既存のEPROMやEEPROMなどと入力端子の互換性を保つことができる。

【0015】

【発明が解決しようとする課題】ところが、上記フラッシュメモリのセルトランジスタは、消去動作の際に浮遊ゲートFGから電子が過剰に引き抜かれて過剰消去が発生すると、このセルトランジスタのしきい値電圧が負電圧となる。そして、このようにしきい値電圧が負電圧になると、セルトランジスタの選択トランジスタが省略されているために、非選択のセルトランジスタからもリーク電流が流れるようになり、同一ビット線上で選択された他のセルトランジスタのデータを正しく読み出すことができなくなり、致命的な不良となる。

【0016】そこで、上記フラッシュメモリは、消去動作の際にこのような過剰消去が発生するのを防止するために、まず前書き込み(program before erase)を行って、消去対象となる全てのセルトランジスタの浮遊ゲートFGに予め電子を蓄積させておく(“0”のデータの書き込み)、電子が蓄積されていない浮遊ゲートFGから消去動作によって無理に電子が引き抜かれることがないようにしている。そして、上記高電圧の印加などによる消去を短時間だけ実行すると共に、消去ベリファイ動作によってこの消去が完全に行われたかどうかを確認し、消去不十分なセルトランジスタが存在しなくなるまでこれを繰り返すことにより、必要以上の長時間にわたって消去が実行されるのを防止している。

【0017】このため、フラッシュメモリは、消去動作に極めて長い時間(数百ms)を必要とするので、この消去動作中に電源が遮断されたりデバイスリセット信号が入力され、消去動作が途中で強制的に終了させられる可能性が無視できなくなる。そして、このように消去動作が途中で異常終了すると、セルトランジスタの記憶データが全て“1”(しきい値小)に初期化されず、“0”(しきい値大)のままで残る場合が生じる。こ

データの“1”を“0”に書き替えるだけのものであるため、“1”のデータを書き込む場合には、実際には“1”に初期化されたセルトランジスタをそのままにしておく。したがって、記憶データが初期化されずに“0”となったセルトランジスタが存在すると、このようなセルトランジスタに“1”のデータを書き込むことができなくなる。

【0018】この結果、従来のフラッシュメモリは、データを消去した後の書き込み動作の際には、常にデータが完全に消去されていない可能性を考慮する必要が生じ、このフラッシュメモリを使用するシステムのプログラムが複雑になり、取り扱いが面倒になるという問題があった。即ち、書き込み動作を実行する前に消去動作の異常終了を検出しようとしても、従来のフラッシュメモリでは、これを簡単に検出する手段がない。例えば、フラッシュメモリのステータスレジスタには、消去が成功したか失敗したかを示すビット(ES)が設けられるが、電源の遮断やデバイスリセット信号の入力があった場合には、このステータスレジスタもリセットされるので、これによる消去動作の異常終了を検出することはできない。したがって、このような消去動作の異常終了を検出するには、全てのメモリセルのデータを読み出して、これらが正常に消去されているかどうかを逐一確認するほかない。しかも、書き込み動作を実行した場合には、書き込みベリファイによって“0”のデータが正しく書き込めたことが確認されるまで再書き込みを繰り返すことになるが、消去動作の異常終了により“1”のデータが書き込めなくなったときには、この再書き込みを行ってはならず、別のエラー処理が必要となる。

【0019】また、上記ブロックごとのBPデータ記憶領域は、通常は1ビットのBPデータを記憶するための領域であり、当該ブロックの消去の際に同時にBPデータもクリアされて消去/書き込み可能状態に戻される。しかし、消去動作では、上記のように前書き込みによって一旦“0”のデータを書き込んだ後に“1”に初期化するので、BPデータが“0”と“1”のいずれの場合にも、この消去動作のいずれかの段階で電源電位の異常やノイズの影響などにより異常終了すると、BPデータ記憶領域に誤ってBPデータが記憶された状態となり、意図せず消去/書き込み禁止状態になるおそれが生じる。例えば、消去によって初期化された“1”のデータが消去/書き込み可能状態を示し、“0”をBPデータとすると、前書き込みの直後に消去動作が異常終了すれば、BPデータ記憶領域にBPデータが記憶された状態となる。そして、この場合に、WPバー入力端子に入力されたWPバー信号がアクティブ(Lレベル)であったり、WP設定コマンドによってWP信号がアクティブ(Hレベル)にされていると、このWPバー信号を非アクティブ(Hレベル)に切り替えたり、WP解除コマンドを入力しWP信号を非アクティブ(Lレベル)に切り

替えてから、再度消去動作を実行しなければならない。

【0020】この結果、従来のフラッシュメモリは、消去動作の異常終了によりBPデータ記憶領域にBPデータが記憶され消去／書き込み禁止状態になった場合にも、簡単に再度消去動作を実行できるようにするために、WPバー入力端子に入力するWPバー信号を切り替えるための回路を設けたり、WP解除コマンドを入力するためにエラー処理ルーチンを付け加えなければならず、このフラッシュメモリを使用するシステムの回路構成やプログラムが複雑になるという問題も生じていた。

【0021】本発明は、上記事情に鑑み、消去動作が正常に終了した場合に消去終了データ記憶領域に消去終了データを書き込み、この記憶領域に消去終了データが記憶されていない場合に無条件に消去を可能にすることにより、消去動作の異常終了に容易に対応することができる不揮発性半導体記憶装置を提供することを目的としている。

【0022】

【課題を解決するための手段】本発明（請求項1）に係る不揮発性半導体記憶装置は、データを不揮発性記憶するメモリセルアレイのブロックを複数備え、該各ブロックごとにデータの消去が可能になると共に、該消去を行った後のブロックにのみデータの書き込みが可能となる不揮発性半導体記憶装置であって、各ブロックごとにデータを不揮発性記憶するブロックプロテクトデータ記憶領域を備えると共に、ライトプロテクト信号がアクティブであり、かつ、該ブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されている場合に、当該ブロックのデータの消去と書き込みを禁止するブロックプロテクト手段を備えたものにおいて、各ブロックごとにデータを不揮発性記憶する消去終了データ記憶領域を備えると共に、消去動作の終了時に当該ブロックの消去終了データ記憶領域に消去終了データを書き込む消去終了データ設定手段と、該消去終了データ記憶領域に消去終了データが記憶されていない場合に、該ブロックプロテクト手段の機能にかかわらず、当該ブロックのデータの消去を可能にする再消去許可手段とを備え、そのことにより上記目的が達成される。

【0023】本発明（請求項2）は、請求項1記載の不揮発性半導体記憶装置において、前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記ブロックプロテクト手段の機能にかかわらず、当該ブロックへのデータの書き込みも禁止するものである。

【0024】本発明（請求項3）は、請求項1または2記載の不揮発性半導体記憶装置において、前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記ブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みも禁止するものである。

【0025】本発明（請求項4）は、請求項1～3記載の不揮発性半導体記憶装置において、前記ブロックプロテクトデータと前記消去終了データがそれぞれ2ビット以上のデータからなり、かつ、データの書き込み動作の先側のビットが消去状態であり後側のビットがこれの反転状態となるデータの並びを有するものであり、前記各ブロックプロテクトデータ記憶領域と前記各消去終了データ記憶領域がそれぞれ該2ビット以上のブロックプロテクトデータと消去終了データを不揮発性記憶するものである。

【0026】本発明（請求項5）は、請求項1～4記載の不揮発性半導体記憶装置において、前記ブロックプロテクトデータ記憶領域に記憶されたデータと、前記消去終了データ記憶領域に記憶されたデータとを外部に読み出すブロックステータスデータ読出手段を備えたものである。

【0027】本発明（請求項6）は、請求項1～5記載の不揮発性半導体記憶装置において、各ブロックごとにデータを不揮発性記憶する無条件ブロックプロテクトデータ記憶領域を備えると共に、該無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータが記憶されている場合に、前記ライトプロテクト信号にかかわらず、当該ブロックのデータの消去と書き込みを禁止する無条件ブロックプロテクト手段を備えたものである。

【0028】本発明（請求項7）は、請求項6記載の不揮発性半導体記憶装置において、前記再消去許可手段が、前記消去終了データ記憶領域に消去終了データが記憶されていない場合に、前記無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータの書き込みも禁止するものである。

【0029】本発明（請求項8）は、請求項6または7記載の不揮発性半導体記憶装置において、前記無条件ブロックプロテクトデータが2ビット以上のデータからなり、かつ、データの書き込み動作の先側のビットが消去状態であり後側のビットがこれの反転状態となるデータの並びを有するものであり、前記各無条件ブロックプロテクトデータ記憶領域が該2ビット以上の無条件ブロックプロテクトデータを不揮発性記憶するものである。

【0030】本発明（請求項9）は、請求項6～8記載の不揮発性半導体記憶装置において、前記無条件ブロックプロテクトデータ記憶領域に記憶されたデータを外部に読み出す無条件ブロックプロテクトデータ読出手段を備えたものである。

【0031】本発明（請求項10）に係る不揮発性半導体記憶装置は、データを不揮発性記憶するメモリセルアレイのブロックを複数備え、該各ブロックのデータを直接書き替えることが可能となる不揮発性半導体記憶装置であって、各ブロックごとにデータを不揮発性記憶するブロックプロテクトデータ記憶領域を備えると共に、ラ

イトプロテクト信号がアクティブであり、かつ、該ブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されている場合に、当該ブロックのデータの書き替えを禁止するブロックプロテクト手段を備えたものにおいて、各ブロックごとにデータを不揮発性記憶する書替無効データ記憶領域を備えると共に、データの書き替え動作が正常に終了しなかった場合に、当該ブロックの書替無効データ記憶領域に書替無効データを書き込む書替無効データ設定手段と、該書替無効データ記憶領域に書替無効データが記憶されている場合に、該ブロックプロテクト手段の機能にかかわらず、当該ブロックのデータの書き替えを禁止するデータ書替禁止手段とを備えたものである。

【0032】本発明（請求項11）は、請求項10記載の不揮発性半導体記憶装置において、前記データ書替禁止手段が、前記書替無効データ記憶領域に書替無効データが記憶されている場合に、前記ブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みを行うことも禁止するものである。

【0033】以下作用について説明する。

【0034】この発明（請求項1）においては、フラッシュメモリなどのブロックの消去動作が正常に終了しなかった場合（異常終了の場合）に、消去終了データ設定手段が消去終了データ記憶領域に消去終了データを書き込まないので、再消去許可手段がそのブロックのデータの消去を可能にする。したがって、ブロックの消去が異常終了し、そのブロックの消去が不完全である可能性が存在する場合に、ライトプロテクト信号がアクティブとなっていて、そのブロックのブロックプロテクトデータ記憶領域にブロックプロテクトデータと一致するデータが記憶されていたとしても、直ちにこのブロックの再消去を実行できるので、ライトプロテクト信号を非アクティブに切り換える手間を省くことができる。

【0035】この発明（請求項2）においては、ブロックの消去が異常終了した場合に、再消去許可手段がそのブロックの再消去を可能にするだけでなく、そのブロックへのデータの書き込みも禁止するので、ブロックが完全に消去されていない可能性があることを知らずに誤ってデータの書き込みを行うのを防止できる。

【0036】この発明（請求項3）においては、ブロックの消去が異常終了した場合に、再消去許可手段がそのブロックの再消去を可能にするだけでなく、そのブロックのブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みを行うことも禁止するので、ブロックが完全に消去されていない可能性があることを知らずに誤ってそのブロックのデータを保護するのを防止できる。

【0037】この発明（請求項4）においては、ブロックプロテクトデータと消去終了データがそれぞれ2ビット以上のデータからなるので、消去の異常終了により、

ブロックプロテクトデータ記憶領域や消去終了データ記憶領域のデータが偶然にこれらブロックプロテクトデータや消去終了データに一致する可能性を減少させることができる。また、これらのデータは、少なくとも1組のビットが互いに反転したものとなるので、偶然にブロックプロテクトデータや消去終了データに一致する可能性をさらに減少させることができる。しかも、少なくとも1組のビットは、データの書き込み動作の先側のものが消去状態となるので、消去動作の際に消去状態を反転させたデータを書き込む前書き込みを実行する不揮発性半導体記憶装置の場合に、この前書き込みの途中で異常終了が発生しても、このデータが偶然にブロックプロテクトデータや消去終了データに一致する可能性を完全になくすることができる。

【0038】この発明（請求項5）においては、消去終了データ記憶領域に消去終了データが記憶されているかどうかをブロックステータスデータ読出手段により読み出すことができるので、このブロックの消去動作が正常に終了したかどうかを容易に外部から検出することができる。また、ブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されているかどうか、このブロックステータスデータ読出手段により読み出すことができるので、各ブロックのデータの保護状況を簡単に検出することができる。

【0039】この発明（請求項6）においては、無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータが記憶されている場合に、無条件ブロックプロテクト手段が無条件にそのブロックのデータの消去と書き込みを禁止するので、ライトプロテクト信号に影響されることなく、任意のブロックのデータを確実に保護することができる。

【0040】この発明（請求項7）においては、ブロックの消去が異常終了した場合に、再消去許可手段がそのブロックの再消去を可能にするだけでなく、そのブロックの無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータの書き込みを行うことも禁止するので、ブロックが完全に消去されていない可能性があることを知らずに誤ってそのブロックのデータを無条件に保護するのを防止できる。

【0041】この発明（請求項8）においては、無条件ブロックプロテクトデータが2ビット以上のデータからなるので、消去の異常終了により、無条件ブロックプロテクトデータ記憶領域のデータが偶然にこの無条件ブロックプロテクトデータに一致する可能性を減少させることができる。また、この無条件ブロックプロテクトデータは、少なくとも1組のビットが互いに反転したものとなるので、偶然に一致する可能性をさらに減少させることができる。しかも、少なくとも1組のビットは、データの書き込み動作の先側のものが消去状態となるので、消去動作の際に消去状態を反転させたデータを書き込む

10

20

30

40

50

前書き込みを実行する不揮発性半導体記憶装置の場合に、この前書き込みの途中で異常終了が発生しても、このデータが偶然に無条件ブロックプロテクトデータに一致する可能性を完全になくすることができる。

【0042】この発明（請求項9）においては、無条件ブロックプロテクトデータ記憶領域に無条件ブロックプロテクトデータが記憶されているかどうかを無条件ブロックプロテクトデータ読出手段により読み出すことができるので、各ブロックのデータの保護状況を簡単に検出することができる。

【0043】この発明（請求項10）においては、強誘電体を用いた不揮発性半導体記憶装置などで、データの書き替え動作が正常に終了しなかった場合（異常終了の場合）に、書き替え無効データ設定手段が書き替え無効データ記憶領域に書き替え無効データを書き込むので、データ書き替え禁止手段がそのブロックのデータの書き替えを禁止する。したがって、ブロックのデータの書き替えが異常終了し、そのブロックのデータが不完全である可能性が存在する場合に、ライトプロテクト信号が非アクティブになっていたり、そのブロックのブロックプロテクトデータ記憶領域にブロックプロテクトデータが記憶されていなくても、このブロックに誤ってデータの書き込みを行うのを防止できる。

【0044】この発明（請求項11）においては、ブロックのデータの書き替えが異常終了した場合に、データ書き替え禁止手段がそのブロックのデータの書き替えを禁止するだけでなく、そのブロックのブロックプロテクトデータ記憶領域にブロックプロテクトデータの書き込みを行うことも禁止するので、ブロックのデータが不完全である可能性が存在することを知らずに誤ってそのブロックのデータを保護するのを防止できる。

【0045】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0046】図1～図7に本発明の一実施形態を示す。本実施形態は、不揮発性半導体記憶装置としてフラッシュメモリを用いた場合について説明する。このフラッシュメモリは、図1に示すように、メモリセルアレイがN個のブロック1に分割されている。これらの各ブロック1は、それぞれ同じサイズ（ビット数）であってもよい（均等ブロック型）、サイズが不均等であってもよい（例えばブートブロック型）。また、ブートブロック型では、図1に示すブロック1とは別に、特定の端子に高電圧を印加した場合にのみ消去と書き込みが可能となるブートブロックを備えている。なお、各ブロック1は、HDD（Hard Disc Drive）互換システムに用いられるフラッシュメモリなどの場合にはセクタと称する場合もある。

【0047】このフラッシュメモリには、各ブロック1に対応させて、BPデータ記憶領域1aとECデータ記

憶領域1bとが設けられている。これらのBPデータ記憶領域1aとECデータ記憶領域1bは、データを不揮発性記憶する1ビット以上の記憶領域であり、各ブロック1のメモリセルアレイの一部に設けてもよいし、これとは別に設けた不揮発性の記憶領域によって構成することもできる。後に詳細に説明するように、このBPデータ記憶領域1aは、BPデータ（ブロックプロテクトデータ）が記憶されている場合に、そのブロック1への消去と書き込みを禁止しデータを保護するためのものであり、ECデータ記憶領域1bは、ECデータ（消去終了データ）が記憶されている場合に、そのブロック1への前回の消去動作が正常に終了したことを示すためのものである。

【0048】ライトスタートマシン2は、これらのブロック1内のメモリセルにデータを書き込むための書き込み（プログラム）動作や、このメモリセルのデータをブロック1ごとの単位で消去するための消去動作などを実行する回路である。行デコーダ/センス回路3は、外部から入力されたアドレスに基づいてワード線を選択し、列デコーダ4は、ビット線を選択する。また、ブロック選択回路5は、ブロック1を選択する。そして、読み出し動作の場合には、選択されたメモリセルからビット線に読み出したデータを行デコーダ/センス回路3でセンスして外部に出力し、書き込み動作の場合には、外部から入力されたデータを選択されたメモリセルに書き込む。

【0049】消去/書き込み電圧発生回路6は、外部から供給される電源電圧VCCに基づいて高電圧（12V）を発生する昇圧回路であり、この高電圧をライトスタートマシン2に供給することによりフラッシュメモリの消去動作と書き込み動作が実行される。なお、本実施形態のフラッシュメモリが負ゲート消去法を行うタイプのものである場合には、この消去/書き込み電圧発生回路6は、高電圧に代えて負電圧を発生させる。

【0050】コマンドスタートマシン7は、外部からのチップイネーブル信号CEバーとライトイネーブル信号WEバーと出力イネーブル信号OEバーからなる各制御信号を入力すると共に、上記外部から入力されたデータとアドレスに基づいてコマンドの種類を判定する回路である。チップイネーブル信号CEバーがアクティブ（Lレベル）の場合には、このフラッシュメモリがアクセスの対象となることを示し、ライトイネーブル信号WEバーがアクティブ（Lレベル）の場合には、書き込みアクセスが行われることを示し、出力イネーブル信号OEバーがアクティブ（Lレベル）の場合には、読み出しアクセスが行われることを示す。コマンドスタートマシン7は、1回～数回のバスサイクルの間に、これらの制御信号によるアクセス内容を検出すると共に、入力されたデータの値と、場合によってアドレスの値が所定値であるかどうかを検出することによりコマンドを判定する。判

定されたコマンドは、ライトステートマシン2に送られ、これによって書き込み動作や消去動作などが実行される。また、このコマンドステートマシン7には、外部から入力されたりセット信号により、電源投入時やシステムのリセット時に初期化が行われるようになってい

＊る。

【0051】上記コマンドステートマシン7が判定するコマンドの一部を表1に示す。

【0052】

【表1】

| コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|---------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| データ書き込み | Don't Care | 40H | WA | WD |
| ブロック消去 | Don't Care | 20H | BA | D0H |
| ロックブロック | Don't Care | 77H | BA | D0H |

【0053】なお、ここで示すコマンドは、1回目と2回目のバスサイクルが全て書き込みサイクルとなるもののみについて説明する。したがって、いずれのバスサイクルにおいても、チップイネーブル信号CEバーとライトイネーブル信号WEバーをアクティブ（Lレベル）にしてアドレスとデータを送ることになる。ただし、例えばここでは例示しないリードステータスレジスタコマンドでは、2回目のバスサイクルでチップイネーブル信号CEバーと出力イネーブル信号OEバーをアクティブ（Lレベル）に変えて、ステータスレジスタをデータとして読み出すようになっている。また、1回のバスサイクルだけのコマンドも存在する。なお、このようなコマンドは、バスサイクル数を多くするほど、意図しないアクセスにより偶然にコマンドが実行される可能性を少なくすることができるので、このバスサイクル数を3回以上にすることもできる。しかし、バスサイクル数をあまり多くすると、コマンドの実行時間が長くなり、使い勝手の悪いフラッシュメモリとなる。

【0054】表1において、1回目の書き込みサイクルで送られて来たデータが40H（「H」は数値が16進表記であることを示す。以降も同様である）であった場合には、データ書き込みコマンドであると判定し、2回目の書き込みサイクルで送られて来た書き込みアドレスWAと書き込みデータWDに基づいてライトステートマシン2に書き込み動作を実行させる。また、1回目の書き込みサイクルと2回目の書き込みサイクルで送られて来たデータがそれぞれ20HとD0Hであった場合には、ブロック消去コマンドであると判定し、2回目の書き込みサイクルで送られて来たブロックアドレスBAに基づいてライトステートマシン2に消去動作を実行させ

※る。この消去動作は、上記のように実行に数百μ秒を要するので、この間に電源が遮断されたりデバイスリセット信号が入力されて動作が異常終了する可能性を無視できなくなる。そして、各ブロック1のECデータ記憶領域1bは、消去動作にこのような異常終了が発生したかどうかを検出するためのものである。さらに、1回目の書き込みサイクルと2回目の書き込みサイクルで送られて来たデータがそれぞれ77HとD0Hであった場合には、ロックブロックコマンドであると判定し、2回目の書き込みサイクルで送られて来たロックブロックアドレスBAに基づいてライトステートマシン2により、当該ブロック1のBPデータ記憶領域1aにBPデータを記憶させる。なお、このロックブロックコマンドの実行時に電源の遮断などが発生すると、BPデータ記憶領域1aに正しくBPデータを記憶させることができなくなり、このブロック1への消去や書き込みが可能となってデータを保護することができない。しかし、消去動作の場合と異なり、このロックブロックコマンドの実行に要する時間は数十μ秒にすぎないので、このような異常の発生はほとんど無視することができる。

【0055】本実施形態のフラッシュメモリは、外部からWPバー信号を入力するためのWPバー入力端子を設ける代わりに、コマンド方式によるWP設定コマンドとWP解除コマンドを設ける場合を示す。このため、コマンドステートマシン7は、内部にWP信号発生回路8を設けると共に、表2に示すコマンドも受け付けるようになっている。

【0056】

【表2】

| コマンド | 1回目の書き込みサイクル | | 2回目の書き込みサイクル | |
|------|--------------|-----|--------------|-----|
| | アドレス | データ | アドレス | データ |
| WP解除 | Don't Care | 47H | FFH | D0H |
| WP設定 | Don't Care | 57H | FFH | D0H |

【0057】即ち、1回目の書き込みサイクルで送られて来たデータが47Hであり、2回目の書き込みサイク

ルで送られて来たアドレスとデータがそれぞれFFHとD0Hであった場合には、WP解除コマンドであると判

定し、WP信号発生回路8が出力するWP信号をLレベル（非アクティブ）に切り替える。また、1回目の書き込みサイクルで送られて来たデータが57Hであり、2回目の書き込みサイクルで送られて来たアドレスとデータがそれぞれFFHとD0Hであった場合には、WP設定コマンドであると判定し、WP信号発生回路8が出力するWP信号をHレベル（アクティブ）に切り替える。なお、上記ロックブロックコマンドによりいずれかのブロック1のBPデータ記憶領域1aにBPデータを記憶させた場合には、自動的にこのWP信号もHレベル（アクティブ）になるようにしてもよい。また、電源投入時やシステムのリセット時には、その後のWP設定コマンド

* Fの送り忘れによるデータの破壊を防止するために、WP信号がHレベル（アクティブ）になるようにしている。

【0058】上記WP信号発生回路8が出力するWP信号は、ライトステートマシン2に送られる。ライトステートマシン2は、このWP信号がアクティブ（Hレベル）な場合にのみ、各ブロック1のBPデータ記憶領域1aに記憶されたBPデータを有効なものとして取り扱い、そのブロック1のデータを保護する。即ち、表3に示すように、

【0059】

【表3】

| WP信号 | BPデータ記憶領域1a | 消去/書き込み動作 |
|------|-------------|-----------|
| H | BPデータ | 実行禁止 |
| | その他のデータ | 実行可能 |
| L | BPデータ | 実行可能 |
| | その他のデータ | 実行可能 |

【0060】WP信号がHレベル（アクティブ）であれば、上記データ書き込みコマンドやブロック消去コマンドが入力された場合にも、ライトステートマシン2は、以降で説明する場合を除いて、BPデータ記憶領域1aにBPデータが記憶されているブロック1への消去動作と書き込み動作を禁止する。しかし、このWP信号がHレベル（アクティブ）であっても、BPデータが記憶されていないブロック1への消去動作と書き込み動作は実行する。また、WP信号がLレベル（非アクティブ）であれば、BPデータの記憶の有無にかかわらず、いずれのブロック1への消去動作と書き込み動作も実行する。したがって、一旦BPデータ記憶領域1aにBPデータが記憶されたブロック1のデータは、原則としてWP解除コマンドによってWP信号をLレベル（非アクティブ）にしない限り書き換えることができない。

【0061】上記ライトステートマシン2は、ブロック1の消去動作を実行する際に、そのブロック1のBPデータ記憶領域1aのデータも消去してBPデータ以外のデータに書き換えるようになっている。なお、BPデータ記憶領域1aは、消去されると全てのビットが“1”となるので、BPデータを“0”のビットを含むデータに定めれば、BPデータ記憶領域1aを消去するだけでBPデータ以外のデータとすることができる。BPデータ記憶領域1aに記憶されたBPデータを書き換えて保護状態を解除するのは、この消去動作の場合だけであり、BPデータのみを直接書き換えるコマンドは用意されていない。また、ライトステートマシン2は、ブロック1の消去を実行する際に、そのブロック1のECデータ記憶領域1bのデータも消去し、この消去動作の終了時にECデータを書き込むようになっている。ECデータ記憶領域1bのデータが書き換えられるのは、この消

去動作の場合だけである。

【0062】このライトステートマシン2は、消去動作や書き込み動作の終了時などに、BPデータ記憶領域1aとECデータ記憶領域1bの記憶内容を示すデータR1、R2をコマンドステートマシン7に送るようになっている。これらのデータR1、R2は、BPデータ記憶領域1aとECデータ記憶領域1bに記憶されたデータそのものでもよいが、ここでは、データR2は、ECデータ記憶領域1bにECデータが記憶されている場合に

“0”となり、その他の場合に“1”となる1ビットのデータとし、データR1は、BPデータ記憶領域1aにBPデータが記憶されている場合に“0”となり、その他の場合に“1”となる1ビットのデータとする。そして、コマンドステートマシン7は、上記ブロック消去コマンドやデータ書き込みコマンドが入力され、ライトステートマシン2がこれらの動作を実行している間に、チップイネーブル信号CEバーと出力イネーブル信号OEバーがアクティブ（Lレベル）になったこと（読み出しサイクル）を検出すると、これらのデータR1、R2をデータとして外部に読み出すようになっている。

【0063】ところで、コマンドステートマシン7には、フラッシュメモリの内部状態を示すステータスレジスタが設けられている。このステータスレジスタには、図2に示すように、8ビット（1バイト）のデータが記憶されるようになっていて、コマンドステートマシン7によって適宜書き換えられる。このステータスレジスタの最上位のWSMS（Write State Machine Status）ビットは、フラッシュメモリがアクセス可能であるか動作中でアクセスできないかを示すビットであり、次のESS（Erase-Suspend Status）ビットは、消去停止中かどうかを示すビットである。消去停止とは、消去動作中

にこの消去を一時停止させて他のブロック1へのアクセスを可能にする操作である。ES (Erase Status) ビットは、消去が成功したか失敗したかを示すビットである。ただし、ここでの消去の失敗は、消去動作の際に、消去を所定回数繰り返しても消去ペリファイで完全に消去されたことが確認できなかった場合を意味し、消去の異常終了を示すものではない。DWS (Data-Write Status) ビットは、書き込みが成功したか失敗したかを示すビットであり、VPPS (Vpp Status) ビットは、電源電圧の異常な低下による動作の中止があったかどうかを示すビットである。下位3ビットのビットR2~R0は、現状では未定義のリザーブビットである。そして、このステータスレジスタの8ビットの内容は、上記リードステータスレジスタコマンドによってデータとして外部に読み出させることができる。また、ライトステートマシン2は、上記2ビットのデータR1、R2を出力する際に、このステータスレジスタの8ビットの内容も同時に読み出すようにすることができる。即ち、BPデータ記憶領域1aとECデータ記憶領域1bの記憶内容を示すデータR1、R2を、ステータスレジスタのリザーブビットR1、R2に割り当てて出力する。このようにBPデータ記憶領域1aとECデータ記憶領域1bの記憶内容をステータスレジスタの内容と共に読み出せば、消去動作の異常終了だけでなく、消去の失敗や書き込みの失敗なども同時に検出することができる。

【0064】上記ライトステートマシン2は、消去動作と書き込み動作を実行する際に、対象となるブロック1のECデータ記憶領域1bを参照する。そして、このECデータ記憶領域1bにECデータが記憶されている場合には、上記原則通りに、WP信号がHレベル（アクティブ）であり、BPデータ記憶領域1aにBPデータが記憶されていれば、そのブロック1への消去動作を禁止する。しかし、ECデータ記憶領域1bにECデータが記憶されていない場合には、WP信号がHレベル（アクティブ）であり、BPデータ記憶領域1aにBPデータが記憶されていても、そのブロック1への消去動作を禁止せずに実行する。即ち、ECデータ記憶領域1bにECデータが書き込まれるのは、消去動作の終了時に限られるので、この消去動作が異常終了した場合には、通常はECデータ記憶領域1bにECデータ以外のデータが記憶されたままとなる。したがって、ECデータ記憶領域1bにECデータが記憶されている場合には、前回実行された消去動作が正常に終了していると判断することができる。そして、ECデータ記憶領域1bにECデータが記憶されていない場合には、前回実行された消去動作が異常終了したと判断することができ、この場合にはブロック1内に未消去のデータが残っている可能性があるため、再消去を行わない限りアクセスが無意味なものとなる。

【0065】上記構成のフラッシュメモリを用いるシス

テムでは、いずれかのブロック1の消去や書き込みを行った場合に、チップイネーブル信号CEバーと出力イネーブル信号OEバーをアクティブにして、ステータスレジスタの内容と共に、BPデータ記憶領域1aとECデータ記憶領域1bの記憶内容を示すデータR1、R2を読み出し、ECデータ記憶領域1bにECデータが記憶されているかどうかを検査することができる。そして、データR2によりECデータ記憶領域1bにECデータが記憶されていないことが検出されると、前回実行された消去動作が異常終了したと判断して、ブロック消去コマンドを送り再度そのブロック1の消去動作を行わせる。この際、WP信号がHレベル（アクティブ）であり、BPデータ記憶領域1aにBPデータが記憶されていて、そのブロック1のデータが保護状態であっても、ライトステートマシン2は、そのブロック1への消去動作を実行することができる。

【0066】なお、本実施形態では、BPデータ記憶領域1aとECデータ記憶領域1bの記憶内容を示すデータR1、R2を読み出すことができる場合について説明したが、これらが読み出せない場合であっても、消去動作後に全データを読み出ししたり、書き込みに失敗することにより、この消去動作が異常終了したことを検出できる。そして、これにより消去動作の異常終了が検出された場合にも、WP信号やBPデータ記憶領域1aの状態にかかわらず、そのブロック1の再消去を確実に実行することができるようになる。

【0067】ここで、BPデータ記憶領域1aが1ビットの領域である場合について考察する。この場合、BPデータを“0”に定めると、BPデータ記憶領域1aは、消去動作の最初の段階で前書き込みによって“0”のデータが書き込まれるので、その後、消去によって“1”に初期化される前に異常終了が発生した場合に、この消去動作後に偶然にBPデータ記憶領域1aにBPデータが記憶された状態が生じる。また、BPデータを“1”に定めると、BPデータ記憶領域1aが消去によって“1”に初期化された後に、改めてBPデータ以外のデータである“0”を書き込むことになるが、この“0”を書き込む直前に異常終了が発生した場合に、この消去動作後にBPデータ記憶領域1aにBPデータが記憶された状態が生じる。したがって、いずれの場合にも、消去動作が異常終了すると、そのブロック1が不必要にデータの保護状態となる場合が生じる。

【0068】もっとも、ECデータ記憶領域1bが1ビットの領域である場合も事情は同じであるため、ECデータを“0”と“1”のいずれに定めた場合にも、消去動作が異常終了したときに、このECデータ記憶領域1bに偶然にECデータが記憶され異常終了を検出できない場合は生じ得る。したがって、ECデータ記憶領域1bを1ビットの領域にすると、ECデータ記憶領域1bの前書き込みや消去の時期を工夫することにより、消去

動作の異常終了を検出する確率をある程度高めることはできても、常に確実に検出できるとは限らない。

【0069】そこで、本実施形態では、BPデータ記憶領域1aとECデータ記憶領域1bをそれぞれ2ビットの領域とする。即ち、図3に示すように、BPデータ記憶領域1aは2ビットのビットb1、b0によって構成され、ECデータ記憶領域1bは2ビットのビットb3、b2によって構成されるものとする。また、これらのビットb3～b0は、添え字の大きい方から順にデータの書き込み動作が実行されるものとする。この場合、BPデータとECデータをそれぞれ2ビットの“10”（“”内の数値は2進表記で示す。以降も同様である）のデータとすることにより、消去動作が異常終了しても、偶然にBPデータ記憶領域1aにBPデータが記憶されていたり、ECデータ記憶領域1bにECデータが記憶されているという可能性をなくすることができる。

【0070】例えば、消去動作の最初の段階で前書き込みによってBPデータ記憶領域1aとECデータ記憶領域1bの各ビットに“0”のデータが書き込まれた直後に異常終了が発生すると、その後のBPデータ記憶領域1aとECデータ記憶領域1bには“00”のデータが残ることになる。また、BPデータ記憶領域1aとECデータ記憶領域1bは、完全に消去されたが、ブロック1内のデータにはまだ完全に消去されていないものが存在し、さらに消去を繰り返す必要があるという段階で異常終了が発生すると、その後のBPデータ記憶領域1aとECデータ記憶領域1bには“11”のデータが残ることになる。しかも、前書き込みによってBPデータ記憶領域1aかECデータ記憶領域1bの最初のビット（b1、b3）に“0”のデータが書き込まれてから、次のビット（b0、b2）に書き込まれるまでの短い期間内に異常終了が発生すると、その後のBPデータ記憶領域1aかECデータ記憶領域1bに“01”のデータが残る可能性がわずかではあるが生じる。しかし、消去動作のいずれの段階で異常終了が発生しても、BPデータ記憶領域1aやECデータ記憶領域1bに“10”のデータが残る可能性は存在しない。したがって、BPデータとECデータをこの“10”に定めて、消去動作の最後にECデータ記憶領域1bにECデータを書き込むようにすれば、この消去動作が正常に終了した場合に限りECデータ記憶領域1bにECデータが記憶されるようにすることができると共に、この消去動作が異常終了しても、BPデータ記憶領域1aに偶然にBPデータが記憶されているという可能性をなくすることができる。

【0071】このように、BPデータとECデータを“10”に定めると、図3に示すように、ビットb1、b0が“10”の場合に消去／書き込みが禁止された状態を示し、その他のデータの場合に消去／書き込みが可能な状態を示す。そして、ビットb3、b2が“10”の場合に消去が正常に終了したことを示し、その他のデー

タの場合に消去が異常終了したことを示す。また、BPデータとECデータを“10”に定めると、図4に示すように、BPデータ記憶領域1aのビットb1、b0のデータをインバータ11とNANDゲート12を介してビットR1としてコマンドステートマシン7に送ることができる。この場合、ビットR1は、BPデータ記憶領域1aにBPデータが記憶されているときに“0”となり、その他のデータが記憶されているときに“1”となる。そして、図5に示すように、ECデータ記憶領域1bのビットb3、b2のデータをインバータ13とNANDゲート14を介してビットR2としてコマンドステートマシン7に送ることができる。この場合、ビットR2は、ECデータ記憶領域1bにECデータが記憶されているときに“0”となり、その他のデータが記憶されているときに“1”となる。

【0072】また、上記BPデータ記憶領域1aとECデータ記憶領域1bは、それぞれ3ビットの領域とすることもできる。この場合、前書き込みが完了した直後に異常終了が発生すると、その後のBPデータ記憶領域1aとECデータ記憶領域1bには“000”のデータが残ることになり、BPデータ記憶領域1aとECデータ記憶領域1bのみが完全に消去され、ブロック1内のデータにはまだ完全に消去されていないものが存在する段階で異常終了が発生すると、その後のBPデータ記憶領域1aとECデータ記憶領域1bには“111”のデータが残ることになる。しかも、BPデータ記憶領域1aかECデータ記憶領域1bの前書き込みの途中で異常終了が発生すると、その後のBPデータ記憶領域1aかECデータ記憶領域1bに“011”または“001”のデータが残る可能性がわずかではあるが生じる。しかし、消去動作のいずれの段階で異常終了が発生しても、BPデータ記憶領域1aやECデータ記憶領域1bに“010”と“100”と“101”と“110”のいずれかのデータが残る可能性は存在しない。即ち、これらのデータは、いずれも書き込み動作の先側のビットが消去状態（“1”）であり後側のビットがこれの反転状態（“0”）となるデータの並び（“10”）をどこかに有するものである。したがって、BPデータやECデータをこれらのデータのいずれかに定めてもよい。なお、これらBPデータ記憶領域1aとECデータ記憶領域1bをそれぞれ4ビット以上の領域とすることもでき、この場合にはさらに確実に偶然の一致の可能性をなくすることができるようになるが、ブロック1ごと1バイト（8ビット）以上の記憶領域が必要となり、回路規模が大きくなり過ぎるおそれもある。

【0073】なお、消去動作の際には、まず最初にECデータ記憶領域1bの前書き込みを行うことが好ましい。先にブロック1内のメモリセルに前書き込みを行うと、その途中で異常終了が発生した場合に、ECデータ記憶領域1bに直前のECデータが残り異常終了が検出

できなくなるからである。また、消去動作の終了時のECデータの書き込みは、上記のようにこの消去動作のできるだけ後の段階で実行することが好ましい。ブロック1内のデータが全て完全に消去される前にECデータを書き込むと、その後異常終了が発生した場合にも、ECデータ記憶領域1bにECデータが記憶されていることになるからである。

【0074】以上説明したように、本実施形態のフラッシュメモリによれば、ブロック1の消去動作が異常終了すると、そのブロック1のECデータ記憶領域1bにECデータが書き込まれない。そして、このような消去動作の異常終了によりブロック1内のデータの消去が不完全である可能性が存在すると、そのブロック1のECデータ記憶領域1bにECデータが記憶されないため、WP信号やBPデータ記憶領域1aの状態にかかわらず、そのブロック1の再消去を確実に実行できるようになり、このWP信号を切り替えるためにWP解除コマンドを発行する必要がなくなる。また、BPデータとECデータを2ビット以上の“10”や“100”などに定めることにより、消去動作が異常終了しても、BPデータ記憶領域1aやECデータ記憶領域1bに記憶されたデータが偶然にこれらBPデータやECデータに一致する可能性をなくすることができ、この異常終了が確実に検出できるようになる。

【0075】上記各ブロック1のBPデータ記憶領域1aとECデータ記憶領域1bは、それぞれブロック1内に設けない場合には、CAM(Content Addressable Memory)回路を用いることもできる。1ビット分のCAM回路は、図6に示すように、PチャンネルのMOS・FET21とNチャンネルのMOS・FET22とフラッシュメモリのセルトランジスタ23との直列回路を電源VCCと接地間に接続すると共に、同様の構成のPチャンネルのMOS・FET24とNチャンネルのMOS・FET25とフラッシュメモリのセルトランジスタ26との直列回路を電源VCCと接地間に接続し、双方のPチャンネルのMOS・FET21、24のゲートを互いに他方のNチャンネルのMOS・FET25、22のドレインに接続したものである。そして、NチャンネルのMOS・FET22、25のゲートに約2Vのバイアス電圧を印加して、PチャンネルのMOS・FET24のドレインからインバータ27を介してCAMデータを出力する。このCAM回路にデータを書き込む場合には、セルトランジスタ23、26の制御ゲートに22V程度の高電圧のゲート信号を入力し、これらのセルトランジスタ23、26のドレインにCAMプログラム回路28からいずれか一方が7V程度で他方が0Vとなる相補なプログラム電圧を印加する。すると、セルトランジスタ23、26のいずれか一方に書き込みが行われてしきい値電圧に高低差が生じるので、これらのセルトランジスタ23、26の制御ゲートに電源VCCのゲート信号を入力

することにより、任意の1ビットのCAMデータを得ることができる。

【0076】BPデータ記憶領域1aとECデータ記憶領域1bをこのようなCAM回路で構成すると、NチャンネルのMOS・FET22、25のゲートにバイアス電圧を印加し、セルトランジスタ23、26の制御ゲートに電源VCCのゲート信号を入力しておくだけで、これらのBPデータ記憶領域1aとECデータ記憶領域1bの記憶内容を常時CAMデータとして出力させることができるので、アクセス時間を短縮できる。

【0077】なお、上記実施形態では、ECデータ記憶領域1bにECデータが記憶されていない場合に、そのブロック1の再消去を可能にする場合だけを説明した。しかし、ライトステートマシン2は、ECデータ記憶領域1bにECデータが記憶されていない場合に、WP信号がLレベル(非アクティブ)であったり、BPデータ記憶領域1aにBPデータ以外のデータが記憶されていても、そのブロック1への書き込みを禁止することもできる。また、ライトステートマシン2は、そのブロック1のBPデータ記憶領域1aにBPデータを書き込むロックブロックコマンドの実行も禁止することができる。ライトステートマシン2が消去を可能にするだけでなく、このような書き込み禁止やロックブロック禁止を行うと、ブロック1内のデータが完全に消去されていない可能性があることを知らずに、誤ってデータを書き込んだり保護状態を設定する無駄を防止できる。

【0078】また、上記実施形態では、各ブロック1にBPデータ記憶領域1aとECデータ記憶領域1bのみを設けたが、これらに加えて無条件BPデータ記憶領域1cを設けてもよい。この無条件BPデータ記憶領域1cは、BPデータ記憶領域1aやECデータ記憶領域1bと同様の構成とすることができ、ここに記憶する無条件BPデータもBPデータやECデータと同様のデータとすることができる。これらBPデータ記憶領域1aとECデータ記憶領域1bと無条件BPデータ記憶領域1cをそれぞれ2ビットの領域とした場合には、図7に示すように、BPデータ記憶領域1aを2ビットのビットb1、b0によって構成し、ECデータ記憶領域1bを2ビットのビットb3、b2によって構成し、無条件BPデータ記憶領域1cを2ビットのビットb5、b4によって構成することができる。

【0079】上記無条件BPデータ記憶領域1cに例えば“10”の無条件BPデータが記憶されている場合には、WP信号の状態にかかわらず、ライトステートマシン2が無条件にそのブロック1への消去動作と書き込み動作を禁止する。しかし、無条件BPデータ記憶領域1cに無条件BPデータ以外のデータが記憶されている場合には、WP信号とBPデータ記憶領域1aの記憶内容に応じて消去動作と書き込み動作を制限する。この無条件BPデータ記憶領域1cに無条件BPデータを書き込

むには、コマンドステートマシン7に無条件BPデータ設定コマンドを設ける。この無条件BPデータ設定コマンドは、例えば1回目の書き込みサイクルで78Hのデータを送り、2回目の書き込みサイクルでD0Hのデータと保護したいブロック1のブロックアドレスを送ることにより実行される。ただし、この無条件BPデータ記憶領域1cに一旦無条件BPデータが記憶されると、コマンドでは解除することができず、特定の端子に電源電圧V_{CC}以上の高電圧を印加しなければ、消去動作や書き込み動作を実行することができない。したがって、この無条件BPデータ記憶領域1cに無条件BPデータを記憶させたブロック1は、ブートブロック型のフラッシュメモリにおけるブートブロックと同様に、BIOS (Basic Input/Output System) などの格納用に用いることができるようになる。

【0080】ブロック1の消去動作が異常終了しECデータ記憶領域1bにECデータ以外のデータが記憶されている場合には、ライトステートマシン2がそのブロック1の無条件BPデータ記憶領域1cに無条件BPデータを書き込む無条件BPデータ設定コマンドの実行を禁止することができる。ブロック1内のデータが完全に消去されていない可能性がある場合に、無条件BPデータ設定コマンドの実行を禁止すれば、誤ってデータの保護状態を設定する無駄を防止できる。また、この無条件BPデータ記憶領域1cの記憶内容も、BPデータ記憶領域1aやECデータ記憶領域1bと同様に外部に読み出し、保護状態を簡単に検出可能にすることができる。

【0081】さらに、上記実施形態では、NOR型やNAND型のフラッシュメモリについて説明したが、本発明は、AND型やDINOR型などのフラッシュメモリについても同様に実施できる。ただし、AND型やDINOR型では、上記のように消去と書き込み時の浮遊ゲートFGへの電子の注入と引き抜き動作がNOR型やNAND型とは逆になるので、しきい値の大小関係も逆になる。

【0082】さらに、上記実施形態では、浮遊ゲートFGを有するセルトランジスタによるフラッシュメモリについて説明したが、本発明はこれに限らず、強誘電体薄膜をゲート酸化膜に用いたMOS・FET構造のセルトランジスタによる他の不揮発性半導体記憶装置にも同様に実施可能である。このように強誘電体薄膜の分極反転を利用してデータを不揮発性記憶する場合には、極薄のトンネル酸化膜を用いなくてもよいので、集積度をさらに高めることができるようになる。

【0083】さらに、本発明は、強誘電体薄膜をDRAM (Dynamic RAM) のキャパシタ部に用いた不揮発性半導体記憶装置にも実施可能である。ただし、この不揮発性半導体記憶装置は、直接データの書き替え可能であるため、独立した消去動作は存在しない。したがって、この場合には、各ブロック1にECデータ記憶領域1bを

設ける代わりに、データの書き替え動作が正常に終了しなかった場合にECデータと同様の書き替え無効データを記憶させる書き替え無効データ記憶領域を設け、この書き替え無効データ記憶領域に書き替え無効データが記憶されていない場合には、そのブロック1のデータの書き替えを禁止する。ここで、データの書き替え動作が正常に終了しない場合とは、この書き替え動作の間に電源異常が発生したり、その他の原因でデータが正常に書き替えられなかった場合をいう。また、この不揮発性半導体記憶装置では、制御信号だけで動作を制御可能であるため、コマンドステートマシン7は不要となり、これらの制御信号に応じて読み出しや書き込みなどの動作を識別する回路があれば足りる。そして、ライトステートマシン2も、書き込み回路で置き替えることができる。さらに本発明は、CPUなどと同一チップ上に製造される不揮発性半導体記憶装置としても実施可能である。

【0084】

【発明の効果】以上のように本発明（請求項1）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了し、そのブロックの消去が不完全である可能性が存在する場合に、このブロックの再消去を確実に実行できるので、ライトプロテクト信号を非アクティブに切り換えるための回路を設けたり、このライトプロテクト信号を非アクティブに切り換えるためのコマンドを入力するエラー処理ルーチンなどを付け加える必要がなくなり、このフラッシュメモリを使用するシステムの回路構成やプログラムが複雑になるのを防止できるようになる。

【0085】また、本発明（請求項2）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了したことを知らずに誤ってデータの書き込みを行うのを防止できる。

【0086】さらに、本発明（請求項3）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了したことを知らずに誤ってそのブロックのデータを保護するのを防止できる。

【0087】さらに、本発明（請求項4）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了した場合に、ブロックプロテクトデータ記憶領域や消去終了データ記憶領域のデータが偶然にブロックプロテクトデータや消去終了データに一致する可能性をなくし、この消去の異常終了に確実に対応できるようになる。

【0088】さらに、本発明（請求項5）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了したことやこのブロックのデータの保護状況を容易に外部から検出することができる。

【0089】さらに、本発明（請求項6）の不揮発性半導体記憶装置によれば、ライトプロテクト信号に影響されることなく、任意のブロックのデータを保護することができるようになる。

【0090】さらに、本発明（請求項7）の不揮発性半

導体記憶装置によれば、ブロックの消去が異常終了したことを知らずに誤ってそのブロックのデータを無条件に保護するのを防止できる。

【0091】さらに、本発明（請求項8）の不揮発性半導体記憶装置によれば、ブロックの消去が異常終了した場合に、無条件ブロックプロテクトデータ記憶領域のデータが偶然に無条件ブロックプロテクトデータに一致する可能性をなくし、誤ってブロックのデータを保護するのを確実に防止できる。

【００９２】さらに、本発明（請求項９）の不揮発性半導体記憶装置によれば、ブロックのデータの保護状況を容易に外部から検出することができる。

【0093】さらに、本発明（請求項10）の不揮発性半導体記憶装置によれば、強誘電体を用いた不揮発性半導体記憶装置などにおいても、データの書き替え動作が異常終了した場合に、このブロックに誤ってデータの書き込みを行うのを防止できる。

【0094】さらに、本発明（請求項11）の不揮発性半導体記憶装置によれば、ブロックのデータの書き替えが異常終了したことを知らずに誤ってそのブロックのデータを保護するのを防止できる。

【図面の簡単な説明】

【図１】本発明の一実施形態を示すものであって、フラッシュメモリの構成を示すブロック図である。

【図2】本発明の一実施形態を示すものであって、ステータスレジスタの各ビットの内容を示す図である。 *

*【図3】本発明の一実施形態を示すものであって、BPデータ記憶領域とECデータ記憶領域の構成とその記憶内容に応じた機能を示す図である。

【図４】本発明の一実施形態を示すものであって、ＢＰデータ記憶領域の記憶内容を読み出すための回路を示すブロック図である。

【図５】本発明の一実施形態を示すものであって、ＥＣデータ記憶領域の記憶内容を読み出すための回路を示すブロック図である。

10 【図8】本発明の一実施形態を示すものであって、CA
M回路の構成を示す回路図である。

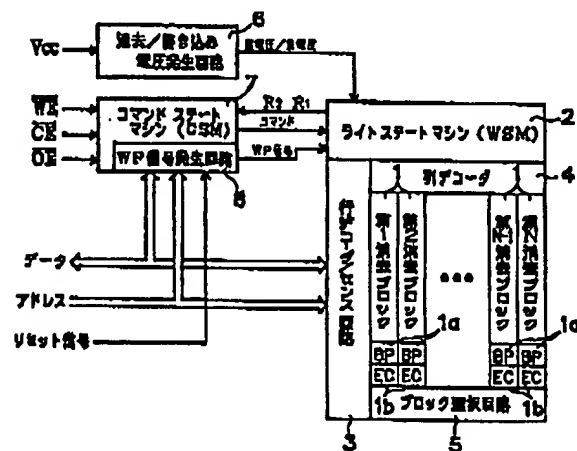
【図7】本発明の一実施形態を示すものであって、BPデータ記憶領域とECデータ記憶領域と無条件BPデータ記憶領域の構成とその記憶内容に応じた機能を示す図である。

【図8】フラッシュメモリのメモリセルに用いられるセルトランジスタを示す回路図である。

【符号の説明】

- 1 **ブロック**
- 1 a **BPデータ記憶領域**
- 1 b **ECデータ記憶領域**
- 1 c **無条件BPデータ記憶領域**
- 2 **ライトステートマシン**
- 7 **コマンドステートマシン**
- 8 **WP信号発生回路**

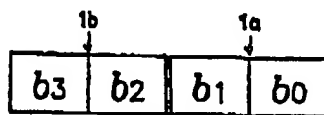
【图1】



【圖2】



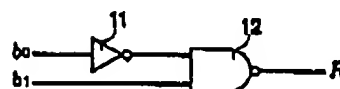
【圖3】



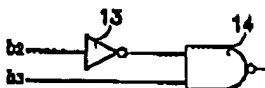
| | | |
|-----|----|--------|
| b3 | b2 | 備 註 |
| 1 | 0 | 調査正常終了 |
| その他 | | 調査異常終了 |

| | | |
|-----|----|-----------|
| b1 | b0 | 機能 |
| 1 | 0 | 消去／書き込み禁止 |
| その他 | | 消去／書き込み可能 |

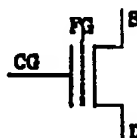
【图4】



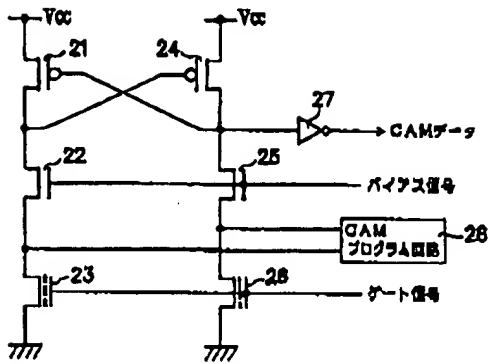
【圖5】



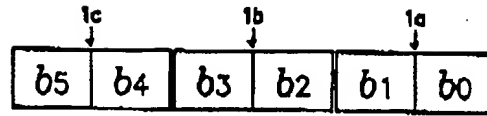
【圖 8】



【図6】



【図7】



| b5 | b4 | 説 明 |
|-----|----|--------------|
| 1 | 0 | 無条件禁止/書き込み禁止 |
| その他 | | 無条件禁止/書き込み可能 |

| b3 | b2 | 説 明 |
|-----|----|--------|
| 1 | 0 | 禁止正常終了 |
| その他 | | 禁止異常終了 |

| b1 | b0 | 説 明 |
|-----|----|-----------|
| 1 | 0 | 禁止/書き込み禁止 |
| その他 | | 禁止/書き込み可能 |